

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Akio KITAMURA et al.

Serial No.: NEW APPLICATION

Group Art Unit:

Filed: August 26, 2003

Examiner:

For: SEMICONDUCTOR DEVICE

CLAIM FOR PRIORITY

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

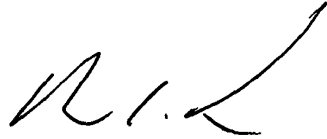
The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. § 119 is hereby claimed:

JAPAN 2002-315988 October 30, 2002

In support of this claim, a certified copy of said original foreign application is filed herewith. It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

08/26/03  
Date

  
\_\_\_\_\_  
Marc A. Rossi  
Registration No. 31,923

Attorney Docket: FUJI:272

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年10月30日

出 願 番 号  
Application Number:

特願2002-315988

[ ST.10/C ]:

[ JP2002-315988 ]

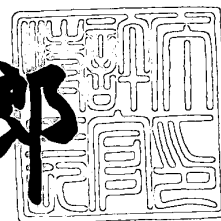
出 願 人  
Applicant(s):

富士電機株式会社

2003年 6月 5日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3043656

【書類名】 特許願

【整理番号】 02P00127

【提出日】 平成14年10月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明者】

    【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式  
                                会社内

    【氏名】 北村 明夫

【発明者】

    【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式  
                                会社内

    【氏名】 北村 睦美

【特許出願人】

    【識別番号】 000005234

    【氏名又は名称】 富士電機株式会社

【代理人】

    【識別番号】 100088339

    【弁理士】

    【氏名又は名称】 篠部 正治

【手数料の表示】

    【予納台帳番号】 013099

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9715182

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体領域の表面部分に形成された第 2 導電型のソース領域と、

前記半導体領域の、前記ソース領域から離れた表面部分に形成された第 2 導電型のドレイン領域と、

前記半導体領域の、前記ソース領域とドレイン領域との間で、前記ソース領域から離れた表面から形成されたトレンチと、

前記トレンチ内に充填された絶縁物と、

前記ドレイン領域と接続され前記トレンチの側面および底面を囲んで前記半導体領域に前記ソース領域から離れて形成された第 2 導電型のドレインドリフト領域と、

前記半導体領域の、前記ソース領域と前記ドレインドリフト領域との間の表面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記ソース領域に電氣的に接続するソース電極と、

前記ドレイン領域に電氣的に接続するドレイン電極と、

を具備し、

前記トレンチは、前記ゲート絶縁膜直下に形成されるチャネルの幅方向に複数個形成され、前記トレンチが互いに対向する領域は、前記ドレインドリフト領域／前記半導体領域／前記ドレインドリフト領域の 3 層からなる箇所を有し、該半導体領域の表面層は前記ドレインドリフト領域が形成されることを特徴とする半導体装置。

【請求項 2】 前記ドレインドリフト領域は前記半導体領域より不純物濃度の高い第 1 導電型のウェル領域内に形成され、前記トレンチが互いに対向する領域は、前記ドレインドリフト領域／前記ウェル領域／前記ドレインドリフト領域の 3 層からなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記トレンチに沿って前記ドレインドリフト領域内に形成され

た第 1 導電型電界緩和層を有することを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】前記トレンチ相互間のドレインドリフト領域の表面層にも前記第 1 導電型電界緩和層を有することを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】前記トレンチが互いに対向する側面に沿って、前記トレンチ内に絶縁物を介して導電体を有することを特徴とする請求項 1 ないし 4 のいずれかに記載の半導体装置。

【請求項 6】第 1 導電型の電界緩和層が、前記ドレインドリフト領域と前記トレンチ内の絶縁物との境界部分に設けられていることを特徴とする請求項 1 ないし 5 のいずれかに記載の半導体装置。

【請求項 7】第 1 導電型の半導体領域の表面部分に形成された第 2 導電型のソース領域と、

前記半導体領域の、前記ソース領域から離れた表面部分に形成された第 2 導電型のドレイン領域と、

前記半導体領域の、前記ソース領域とドレイン領域との間で、前記ソース領域から離れた表面から形成されたトレンチと、

前記トレンチ内に充填された絶縁物と、

前記ドレイン領域と接続され前記トレンチの側面および底面を囲んで前記半導体領域に前記ソース領域から離れて形成された第 2 導電型のドレインドリフト領域と、

前記半導体領域の、前記ソース領域と前記ドレインドリフト領域との間の表面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記ソース領域に電氣的に接続するソース電極と、

前記ドレイン領域に電氣的に接続するドレイン電極と、

を具備し、

前記トレンチは、前記ゲート絶縁膜直下に形成されるチャンネルの幅方向に複数個形成され、

前記トレンチが互いに対向する側面に沿って、前記トレンチ内に絶縁物を介し

て導電体を有することを特徴とする半導体装置。

【請求項 8】 前記ソース領域側の前記導電体と前記トレンチとの間の絶縁物の厚さよりも前記ドレイン領域側の前記導電体と前記トレンチとの間の絶縁物の厚さの方が厚いことを特徴とする請求項 7 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特にパワー IC に用いられる高耐圧 MOSFET を構成する半導体装置に関する。

【0002】

【従来の技術】

従来より、縦型 MOSFET において、トレンチ内部にゲート電極を埋め込み、トレンチ側面にチャネルを形成するようにした、いわゆるトレンチ MOSFET が開発されている。このトレンチ MOSFET には、セルピッチを縮小するとともに、単位面積あたりのオン抵抗を低減することができるという利点がある。

パワー IC に搭載される横型 MOSFET においても、トレンチ MOSFET に関していくつかの提案や報告はなされているが、未だ実用化に至っていない。

そのような提案の一つに、図 11、図 12 および図 13 に示す構成がある（例えば、特許文献 1 参照。）。図 11、12、13 は、この内容を示す図面であり、図 11 は平面図、図 12 は、図 11 の K-L で切断した断面図、図 13 は、図 11 の M-N で切断した断面図である。P 型シリコン基板 1 上に N<sup>-</sup>延長ドレイン領域 103 が形成され、この領域内に複数のトレンチ 102 が形成されている。トレンチ 102 の周りには側面 P 型拡散層 114 が形成されている。また、N<sup>-</sup>延長ドレイン領域 103 内には P 型拡散層 115 が形成されている。トレンチ 102 を形成し、トレンチ 102 の周囲に P 型拡散層 114、115 が形成されているため、P 型シリコン基板 101 および上側の P 型拡散層 114 からの PN 接合では空乏化できなかった N<sup>-</sup>延長ドレイン領域 103 が空乏化され、N<sup>-</sup>延長ドレイン領域 103 の全域が容易に空乏化できるようになる。そして、N<sup>-</sup>延長ドレイン領域 103 を従来より低抵抗にしても、ドレイン・ソース間に乗じた電

圧を緩和できる距離まで空乏層を伸ばすことが可能である。

【0003】

【特許文献1】

特開平9-321291号公報（第3～4頁、図1～4）

【0004】

【発明が解決しようとする課題】

本発明は、特にドレイン抵抗の装置全抵抗に占める割合の高い、50V以上の耐圧を有する横型高耐圧トレンチMOSFETにおいて、必要耐圧を確保しつつオン時には前記した従来技術のものよりも単位面積あたりのオン抵抗を低減することができる構造の半導体装置を提供することを目的とする。

【0005】

【課題を解決するための手段】

上記目的を達成するため、本発明にかかる半導体装置は、第1導電型の半導体領域の表面部分に形成された第2導電型のソース領域と、

前記半導体領域の、前記ソース領域から離れた表面部分に形成された第2導電型のドレイン領域と、

前記半導体領域の、前記ソース領域とドレイン領域との間で、前記ソース領域から離れた表面から形成されたトレンチと、

前記トレンチ内に充填された絶縁物と、

前記ドレイン領域と接続され前記トレンチの側面および底面を囲んで前記半導体領域に前記ソース領域から離れて形成された第2導電型のドレインドリフト領域と、

前記半導体領域の、前記ソース領域と前記ドレインドリフト領域との間の表面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記ソース領域に電氣的に接続するソース電極と、

前記ドレイン領域に電氣的に接続するドレイン電極と、

を具備し、

前記トレンチは、前記ゲート絶縁膜直下に形成されるチャネルの幅方向に複数

個形成され、前記トレンチが互いに対向する領域は、前記ドレインドリフト領域／前記半導体領域／前記ドレインドリフト領域の3層からなる箇所を有し、該半導体領域の表面層は前記ドレインドリフト領域が形成されるものである。

【0006】

この発明によれば、オン時に、トレンチ側面、トレンチ底面および基板表面の3経路で電流が流れることにより、単位面積あたりのオン抵抗を低くできる。複数のトレンチのそれぞれの間には第2導電型のドレインドリフト領域／第1導電型の半導体領域／第2導電型のドレインドリフト領域の3層構造が形成されているため、トレンチの側面に半導体領域が存在しないものと比べるとpn接合部の面積が増え、ドレインドリフト領域のN型不純物濃度に対するP型不純物濃度の割合が増えることからドレインドリフト領域全域を容易に空乏化できる。よって、ドレインドリフト領域を高濃度化することができるため、耐圧と単位面積あたりのオン抵抗のトレードオフが改善される。

【0007】

また、本発明にかかる半導体装置は、前記トレンチに沿ってドレインドリフト領域内に形成された第1導電型電界緩和層を有するものとする。

この発明によれば、半導体領域と電界緩和層にドレインドリフト領域が挟まれそれぞれのpn接合から空乏層が拡がるため、ドレインドリフト領域をさらに低抵抗化することができ、オン抵抗を低減できる。

また、前記トレンチ内にトレンチが互いに対向する側面に絶縁膜を介して導電体を有するものとする。

この発明によれば、導電体がフィールドプレート効果を有し、対向するトレンチ側面のドレインドリフト領域の空乏化が促進されるため、高濃度とすることができ装置を低抵抗とすることができる。この場合、トレンチが互いに対向するトレンチ間がドレインドリフト領域のみで形成されているものについても有効である。

【0008】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。なお



、各図においては付記した寸法を厳密に反映しているわけではない。以下の各実施の形態においては、P型を第1導電型とし、N型を第2導電型として説明するが、本発明はその逆でも成り立つのは勿論である。

実施の形態1.

図1は、本発明の実施の形態1にかかる半導体装置の要部を示す平面図である。

#### 【0009】

この半導体装置は、P型の半導体領域1、トレンチ2、N<sup>-</sup>ドレインドリフト領域3、トレンチ2内を埋める絶縁物4、Pウェル領域5、Pベース領域6、N<sup>+</sup>ソース領域7、N<sup>+</sup>ドレイン領域8、酸化物よりなるゲート絶縁膜9、ポリシリコンよりなるゲート電極10、層間絶縁膜11、ソース電極12、ドレイン電極13、パッシベーション膜14、およびモールド樹脂15を備えており、横型トレンチMOSFETを構成する。ここでPウェル領域5は形成されなくとも構わない。

図2は、図1に記すA-Bで切断した断面図であり、図3は、図1に記すC-Dで切断した要部断面図である。

#### 【0010】

トレンチ2は、P型半導体領域1の表面部分において、その表面から形成されており、絶縁物4で充填されている。N<sup>-</sup>ドレインドリフト領域3はトレンチ2の側面および底面を囲むように形成されている。Pウェル領域5は、N<sup>-</sup>ドレインドリフト領域3の外側に隣接して形成される。N<sup>+</sup>ソース領域7は、Pベース領域6の表面部分において、N<sup>-</sup>ドレインドリフト領域3から離れて形成されている。N<sup>+</sup>ドレイン領域7は、N<sup>-</sup>ドレインドリフト領域3の、トレンチ2に対してドレイン側（ソース側の反対側）の表面部分に形成されている。

ゲート絶縁膜9は、N<sup>+</sup>ソース領域7からN<sup>-</sup>ドレインドリフト領域3のソース側部分に至る表面上に形成されている。ゲート電極10はゲート絶縁膜9上に、基板表面に対して平行に形成されており、さらに、トレンチ2の上まで伸長されている。層間絶縁膜11はゲート電極10およびトレンチ2の上部を覆っている。ドレイン電極13は、N<sup>+</sup>ドレイン領域7に電氣的に接続しており、層間絶縁

膜 11 の表面に沿ってトレンチ 2 の上まで、基板表面に対して平行に伸長されている。ソース電極 12 は、P ベース領域 6 および  $N^+$  ソース領域 7 に電氣的に接続しており、層間絶縁膜 11 の表面に沿ってトレンチ 2 の上まで、基板表面に対して平行に伸長されている。ドレイン電極 13 とソース電極 12 とは当然のことながら離れており、絶縁されている。パッシベーション膜 14 は半導体装置全体を被覆している。モールド樹脂 15 は、上述した構成の半導体装置を気密封止する。

## 【0011】

図 3 に示すとおり、本発明は、トレンチ 2 の間に P 型の不純物領域である P ウェル領域 5 が存在する。

つぎに、図 1 に示す構成の半導体装置の製造方法について説明する。比抵抗が  $10 \sim 15 \Omega \text{ cm}$  の P 型 CZ 基板の表面層に選択的に、表面不純物濃度が  $1 \times 10^{16} \text{ cm}^{-3}$  程度の P ウェル領域 5 を  $4 \mu\text{m}$  の深さで形成する。P ウェル領域 5 内に、トレンチ 2 を長さ  $3 \mu\text{m}$ 、幅  $2 \mu\text{m}$ 、深さ  $2 \mu\text{m}$ 、トレンチの間隔  $3 \mu\text{m}$  で、ゲート絶縁膜 8 直下の半導体領域 1 の表面層に形成されるチャネルの幅方向に、複数個形成する。その側面には斜めイオン注入で、底面には垂直にイオン注入で、P 31 を  $6 \times 10^{12} \text{ cm}^{-2}$  程度注入する。その後トレンチ側面と底面を熱酸化により酸化し、さらに CVD 酸化膜によりトレンチ 2 を充填する。

## 【0012】

次に、マスクを形成し、トレンチ 2 の間の半導体領域 1 表面に、P 31 を  $6 \times 10^{12} \text{ cm}^{-2}$  程度注入する。その後  $1150^\circ\text{C}$  60 分ドライブをし、トレンチ側面、トレンチ底面およびトレンチの間に  $N^-$  ドレインドリフト領域 3 を形成する。 $N^-$  ドレインドリフト領域 3 の他の製造方法としては、トレンチ 2 を形成後、トレンチ 2 内に、減圧 CVD により、シランおよびリンドーブ用にホスフィンを用いて、ドーブドポリシリコン膜を堆積し、その後ドライブを行うことが挙げられる。

その後、 $200 \text{ \AA}$  のゲート絶縁膜 9 を形成し、その上にポリシリコンを堆積しフォトリソ技術によりゲート電極 10 を形成する。このゲート電極 10 のドレイン側の端はトレンチ 2 上に張り出して形成される。ゲート電極 10 のもう

一方の端部（ソース側の端部）によるセルフアラインで、半導体領域 1 の表面部分に P ベース領域 6、 $N^+$  ソース領域 7 を形成する。P ベース領域 6 が、 $N^+$  ソース領域 7 の底部及び側面を囲む。 $N^+$  ソース領域 7 と同時、または別々にトレンチ 2 の反対側の  $N^-$  ドレインドリフト領域 3 の表面部分に  $N^+$  ドレイン領域 8 を形成する。層間絶縁膜 11 を堆積した後、ソース電極 12 をトレンチ 2 上に張り出して形成し、またドレイン電極 13 をトレンチ 2 上に張り出して形成する。最後に、プラズマ窒化膜よりなるパッシベーション膜 14 を被着し、モールド樹脂中に封入する。従来の横型 DMOSFET の製造工程に、トレンチ 2 の形成工程およびトレンチ 2 を埋める絶縁物 4 の充填工程が増えるだけで、特に困難な工程はない。

## 【0013】

上述した実施の形態 1 によれば、トレンチ 2 を複数形成しその側面にも  $N^-$  ドレインドリフト領域 3 が形成されるためトレンチ 2 の側面にも電流が流れ、オン抵抗が低減し、さらに、複数のトレンチ 2 の間に P 型不純物領域である P ウェル領域 5 が存在する構成とすることで、 $N^-$  ドレインドリフト領域 3 と P ウェル領域 5 との p n 接合面積が増え、 $N^-$  ドレインドリフト領域 3 の空乏化を促進する。 $N^-$  ドレインドリフト領域 3 を高濃度化することができるため、耐圧と単位面積あたりのオン抵抗のトレードオフが改善される。

この実施の形態では、P ウェル領域 5 を形成したが、複数のトレンチ 2 の間が P 型の領域であればよく、P ウェル領域 5 は形成されなくともよい。P ウェル領域 5 を形成しない場合は、P 型半導体領域 1 がその領域に存在し、上記に述べた作用効果を奏するものである。

実施の形態 2.

図 4 は、本発明の実施の形態 2 にかかる半導体装置の要部を示す図であり、（a）は要部斜視図、（b）は E-F で切断した要部断面図である。実施の形態 2 は、実施の形態 1 のトレンチ 2 側面および底面に  $N^-$  ドレインドリフト領域 3 よりも浅い  $P^-$  電界緩和層 16 を形成したものである。なお、P ウェル領域 5 は形成していないが形成しても勿論かまわない。

## 【0014】

P<sup>-</sup>電界緩和層16を形成することにより、N<sup>-</sup>ドレインドリフト領域3は半導体領域1とP<sup>-</sup>電界緩和層16とに挟まれる構成となり、N<sup>-</sup>ドレインドリフト領域3はPウェル領域5およびP<sup>-</sup>電界緩和層16の両方から空乏化される。

よって、例えば実施の形態1においてP<sup>-</sup>電界緩和層16をさらに設けた構成とすると、N<sup>-</sup>ドレインドリフト領域3の高濃度化が可能となる。

特に複数のトレンチ2の間は図4(b)に示すように、P<sup>-</sup>電界緩和層16/N<sup>-</sup>ドレインドリフト領域3/P型半導体領域1/N<sup>-</sup>ドレインドリフト領域3/P<sup>-</sup>電界緩和層16からなる5層構成となっているため、最適化によってスーパー Junction を形成し得る。これにより単位面積あたりのオン抵抗を低減することができる。

#### 【0015】

つぎに、図4に示す構成の半導体装置の製造方法について説明する。比抵抗が10~15ΩcmのP型CZ基板の表面層に選択的に、トレンチ2を長さ3μm、幅2μm、深さ2μm、トレンチの間隔3μmで、ゲート絶縁膜8直下の半導体領域1の表面層に形成されるチャネルの幅方向に、複数個形成する。その側面には斜めイオン注入で、底面には垂直にイオン注入で、リンを注入する。その後トレンチ2の側面および底面にN<sup>-</sup>ドレインドリフト領域3と同様にボロンをイオン注入する。その後トレンチ側面と底面を熱酸化により酸化し、さらにCVD酸化膜によりトレンチ2を充填する。

次に、マスクを形成し、トレンチ2の間の半導体領域1表面に、リンを注入する。その後1150℃60分ドライブをし、トレンチ側面、トレンチ底面にP<sup>-</sup>電界緩和層16を形成する。P<sup>-</sup>電界緩和層16の表面濃度は $1 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度が望ましい。その後は、実施の形態1と同様に形成する。このように、形成された横型MOSFETは、ドレインドリフト領域3の濃度を高濃度とすることができるためオン抵抗を低減できる。

実施の形態3.

図5は、本発明の実施の形態3にかかる半導体装置の要部断面図である。

#### 【0016】

実施の形態3は、実施の形態2において形成されたP<sup>-</sup>電界緩和層16を複数

のトレンチ 2 に挟まれた半導体領域 1 の表面層にも形成したものである。

このような構成とすると、半導体領域 1 の表面層に形成された  $N^-$  ドレインドリフト領域 3 も高濃度化することができ、実施の形態 2 に比べさらにオン抵抗を低減することができる。

つぎに、図 5 に示す構成の半導体装置の製造方法について説明する。CVD 酸化膜によりトレンチ 2 を充填するまでは、実施の形態 2 と同様に形成する。

次に、マスクを形成し、トレンチ 2 の間の半導体領域 1 表面に、リンをイオン注入し、さらに、ボロンをイオン注入する。その後  $1150^{\circ}\text{C}$  60 分ドライブをし、トレンチ 2 の側面、底面およびトレンチの間の半導体領域 1 の表面層に  $N^-$  ドレインドリフト領域 3 および電界緩和層 16 を形成する。その後は、実施の形態 2 と同様に形成することで、実施の形態 2 よりも  $N^-$  ドレインドリフト領域 3 の不純物濃度を高くすることができるので、オン抵抗を低減できる。

実施の形態 4.

図 6 は、本発明の実施の形態 4 にかかる半導体装置の要部を示す図であり、(a) は要部斜視図、(b) は G-H で切断した要部断面図である。

#### 【0017】

実施の形態 4 は、実施の形態 1 のトレンチ 2 内に図示しない絶縁物 4 を介して導電体 17 を形成したものである。この導電体 17 は、層間絶縁膜 10 を貫通するコンタクト部（図示せず）を形成して、このコンタクト部を介して例えばソース電極 12 に電氣的に接続されている。なお、P ウェル領域 5 は形成していない。

導電体 17 のフィールドプレート効果により、複数のトレンチ 2 間の  $N^-$  ドレインドリフト領域 3 が空乏化されるので、 $N^-$  ドレインドリフト領域 3 の高濃度化により、単位面積あたりのオン抵抗が低減される。

#### 【0018】

つぎに、図 6 に示す構成の半導体装置の製造方法について説明する。比抵抗が  $10 \sim 15 \Omega \cdot \text{cm}$  の P 型 CZ 基板の表面層に選択的に、トレンチ 2 を長さ  $3 \mu\text{m}$ 、幅  $1 \mu\text{m}$ 、深さ  $2 \mu\text{m}$ 、トレンチの間隔を  $3 \mu\text{m}$  で、ゲート絶縁膜 8 直下の半

導体領域 1 の表面層に形成されるチャネルの幅方向に、複数個形成する。その側面には斜めイオン注入で、トレンチ底面には垂直にイオン注入で、リンをイオン注入する。その後トレンチ側面と底面を熱酸化により酸化し、さらに CVD 酸化膜によりトレンチ 2 を絶縁物 4 で充填する。絶縁物 4 にフォトリソ技術によりトレンチを形成し、そのトレンチ内に不純物をドーピングしたポリシリコンを充填して導電体 17 とする。その後は、実施の形態 1 と同様に形成する。このように、実施の形態 1 と比べて N<sup>-</sup>ドレインドリフト領域の高濃度化が可能である。

実施の形態 5.

図 7 は、本発明の実施の形態 5 にかかる半導体装置の要部断面図である。

#### 【0019】

実施の形態 5 は、実施の形態 4 において形成された複数のトレンチ 2 に挟まれた領域が N<sup>-</sup>ドレインドリフト領域 3 で占められており、半導体領域 1 が存在しない。この構成では、導電体 17 により複数のトレンチ 2 に挟まれた領域の N<sup>-</sup>ドレインドリフト領域 3 の空乏化を図ることができる。製造方法としては、トレンチの間隔を 1 μm に変更して形成する以外は実施の形態 4 と同様に形成できる。

実施の形態 6.

図 8 は、本発明の実施の形態 6 にかかる半導体装置の要部断面図である。

#### 【0020】

実施の形態 6 は、実施の形態 4 において形成された導電体 17 の変形例を示すものであり、実施の形態 4 において一つのトレンチ 2 内に 2 つの導電体 17 を形成していたものを本実施の形態では一つのみとしたものである。トレンチ 2 内に導電体 17 を一つのみ形成すればよいので、実施の形態 4 に比べてトレンチの幅を狭くすることができ、よって、トレンチ 2 の数を増やすことができるためオン抵抗をさらに低減できる。この実施の形態では、トレンチ幅を 1 μm とした。

実施の形態 7.

図 9 は、本発明の実施の形態 7 にかかる半導体装置の要部を示す図であり、(a) はトレンチ部の平面図であり、(b) および (c) はその変形例を示すトレンチ部の平面図である。

## 【0021】

図9 (a) は、トレンチ2内に絶縁物4を埋め込んだ後、絶縁物4にトレンチを形成し、導電体17をトレンチ2の側面に平行に埋め込んだものであり、さらに、ドレイン側のトレンチからの距離 $x_1$ の方が、ソース側のトレンチからの距離 $w_1$ より大きくなっている。これは、図10に(a)に示すように、等電位線がドレイン側で集中するため、この集中を緩和させるため絶縁物を厚くし、かつ、導電体17は、ソース側側面においてもフィールドプレート効果により $N^-$ ドレインドリフト領域を高濃度にできるため、ソース側は薄く形成したものである。

## 【0022】

さらに図9 (b) および (c) は、トレンチ2内に形成した導電体17が幅方向の側面と平行となっておらず、ドレイン側の絶縁物4の厚さ $x_2$ ,  $x_3$ および $z_1$ ,  $z_2$ がソース側の絶縁膜4の厚さ $w_2$ ,  $w_3$ および $y_1$ ,  $y_2$ より厚くなっている。この構成は素子の耐圧を高くした場合に有効である。図10 (b) に記載のように図10 (a) に比べて等電位線を緩和することができる。しかしながら、絶縁物4を厚くするとフィールドプレート効果が小さくなるため、ソース側の絶縁物4は、できるだけフィールドプレート効果を作用させるために薄く形成する。

## 【0023】

以上において本発明は、上述した各実施の形態に限らず、種々変更可能である。また、実施の形態1～実施の形態4を任意に組み合わせることができる。

## 【0024】

## 【発明の効果】

本発明によれば、MOSFETのチャネル幅方向に複数のトレンチを有し、トレンチの底面および側面に $N^-$ ドレインドリフト領域が形成される半導体装置において、トレンチ間にP型不純物領域を有するため、 $N^-$ ドレインドリフト領域を高濃度化することができるため、耐圧と単位面積あたりのオン抵抗のトレードオフが改善された半導体装置を提供できる。

## 【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 にかかる半導体装置の要部を示す平面図である。

【図 2】

図 1 の A - B で切断した断面図である。

【図 3】

図 1 の C - D で切断した要部断面図である。

【図 4】

本発明の実施の形態 2 にかかる半導体装置の要部を示す図で、(a) は斜視図であり (b) は E - F で切断した断面図である。

【図 5】

本発明の実施の形態 3 にかかる半導体装置の要部を示す図で、(a) は斜視図であり (b) は G - H で切断した断面図である。

【図 6】

本発明の実施の形態 4 にかかる半導体装置の要部を示す図で、(a) は斜視図であり (b) は I - J で切断した断面図である。

【図 7】

本発明の実施の形態 5 に係る半導体装置の要部断面図である。

【図 8】

本発明の実施の形態 6 に係る半導体装置の要部断面図である。

【図 9】

本発明の実施の形態 7 に係る半導体装置の要部を示す図であり、(a) はトレンチ部の平面図であり、(b) および (c) はその変形例を示すトレンチ部の平面図である。

【図 10】

本発明の導電体の作用を示す要部平面図である。

【図 11】

従来の半導体装置の要部を示す平面図である。

【図 12】

図 7 の K - L で切断した断面図である。



【図 1 3】

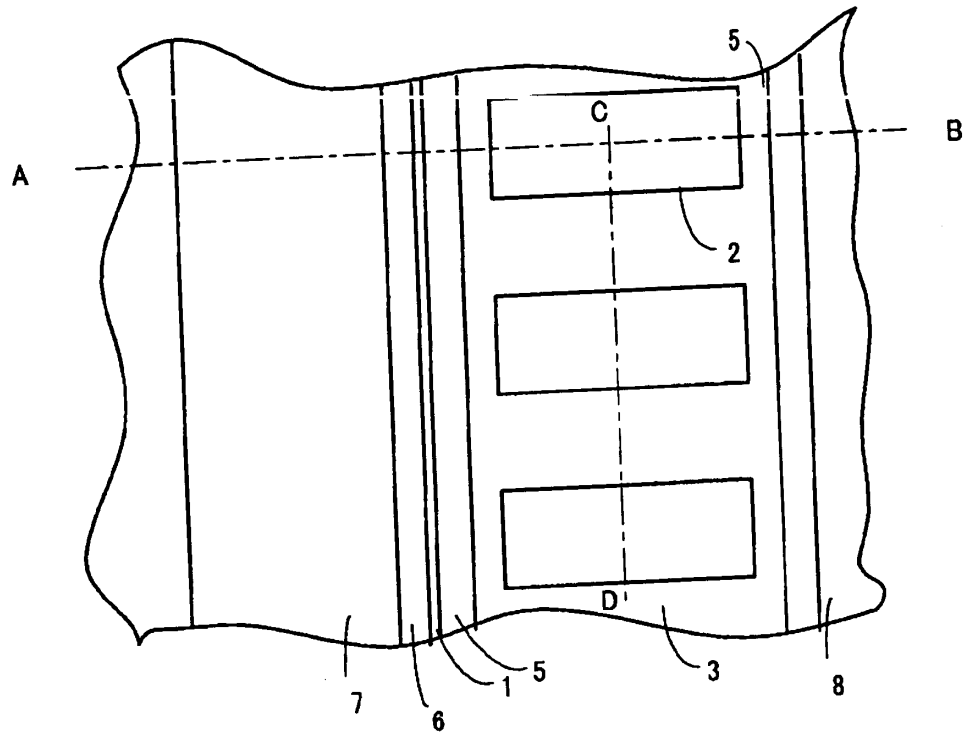
図 7 の M - N で切断した断面図である。

【符号の説明】

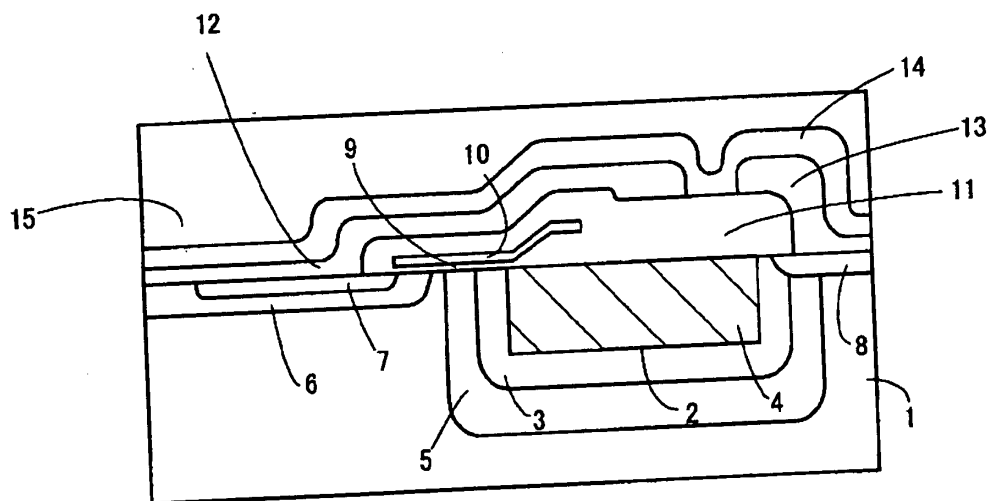
- 1 半導体領域
- 2 トレンチ
- 3  $N^-$ ドレインドリフト領域
- 4 絶縁物
- 5 P ウェル領域
- 6 P ベース領域
- 7  $N^+$ ソース領域
- 8  $N^+$ ドレイン領域
- 9 ゲート絶縁膜
- 1 0 ゲート電極
- 1 1 層間絶縁膜
- 1 2 ソース電極
- 1 3 ドレイン電極
- 1 4 パッシベーション膜
- 1 5 モールド樹脂
- 1 6 電界緩和層
- 1 7 フィールドプレートとなる導電体

【書類名】 図面

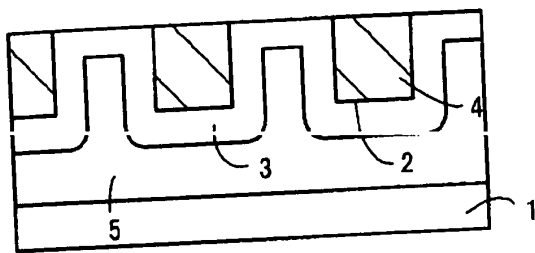
【図1】



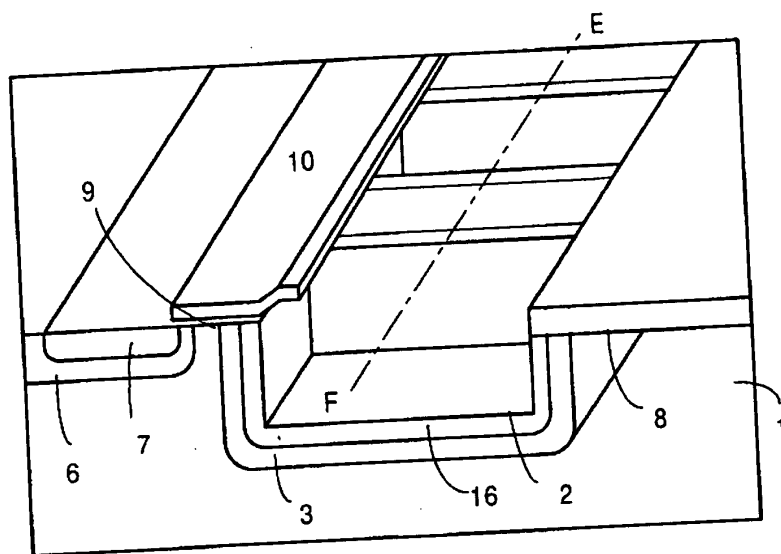
【図2】



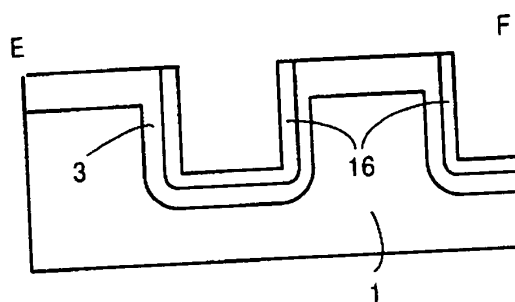
【図3】



【図4】

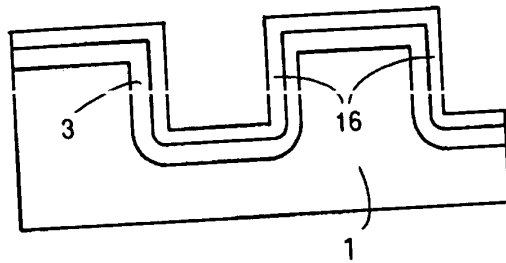


(a)

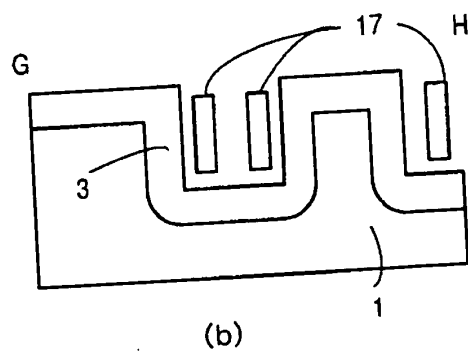
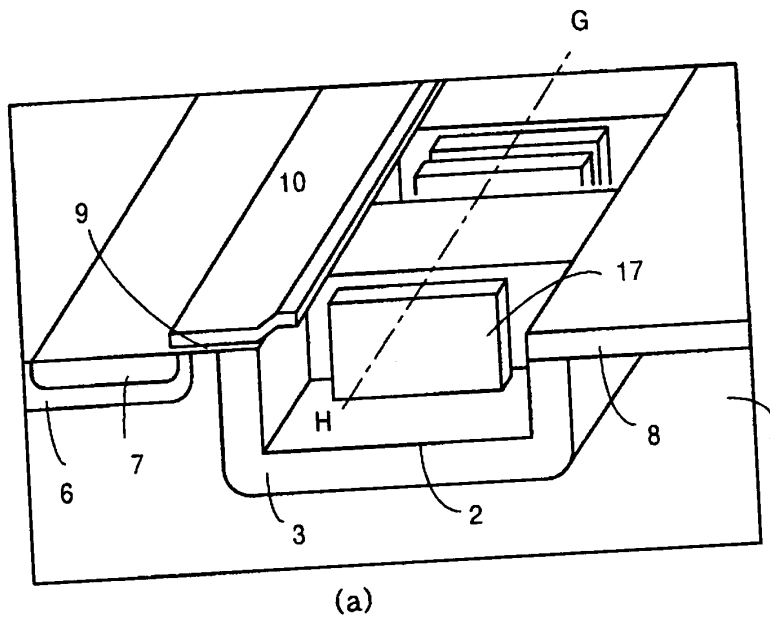


(b)

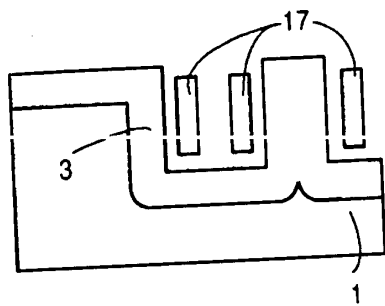
【図5】



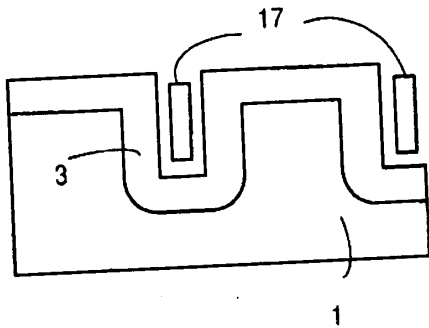
【図6】



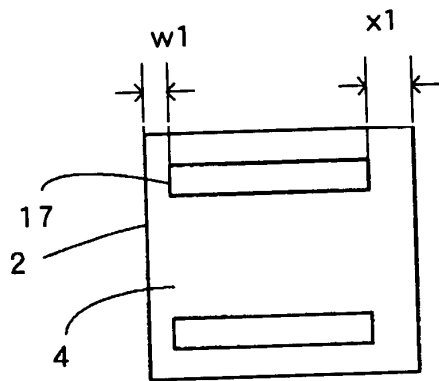
【図7】



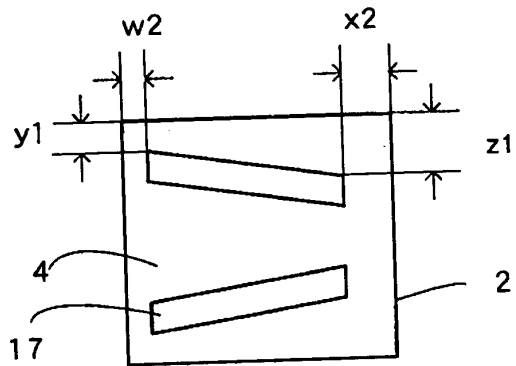
【図8】



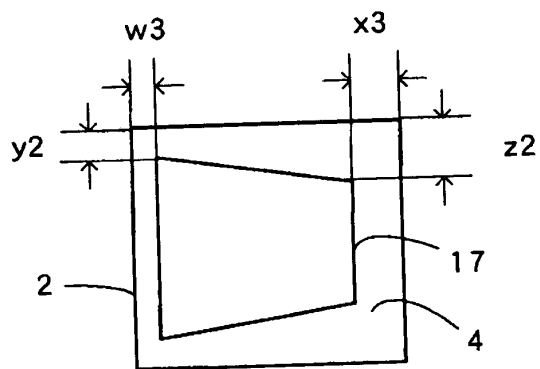
【図 9】



(a)

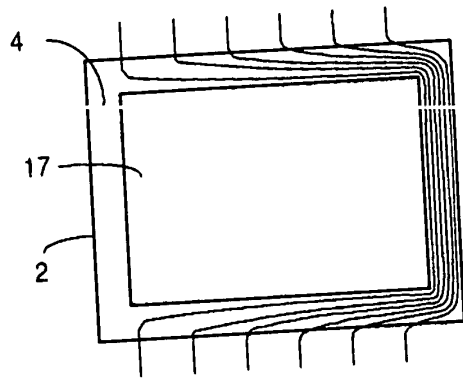


(b)

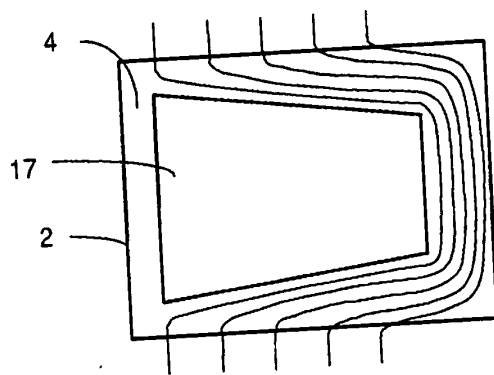


(c)

【図10】

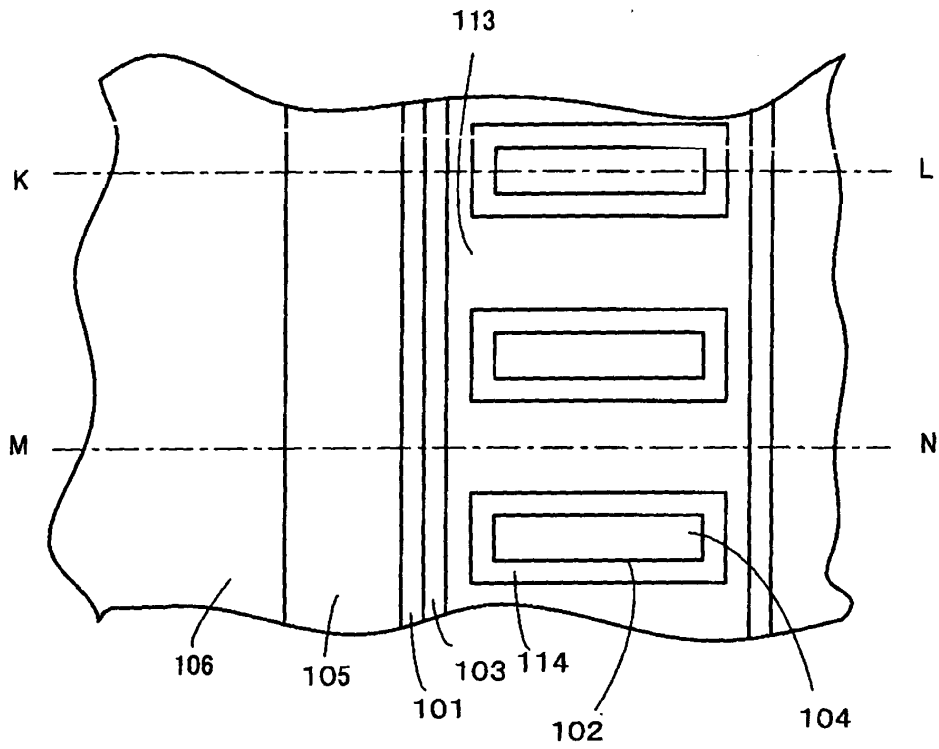


(a)

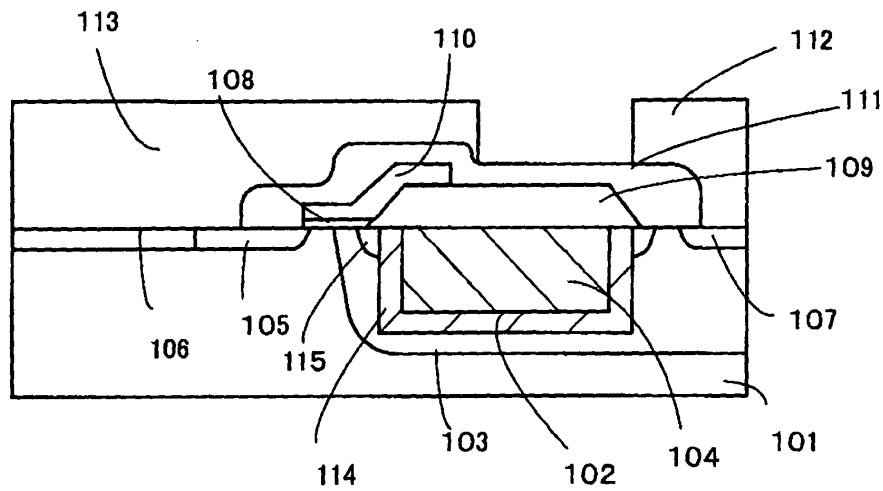


(b)

【図11】

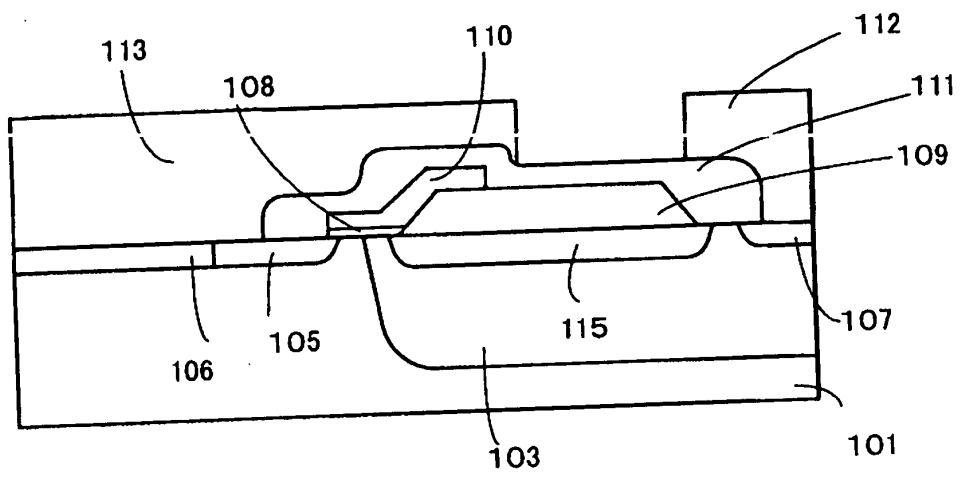


【図12】





【図13】



【書類名】 要約書

【要約】

【課題】 単位面積あたりのオン抵抗を低減した半導体装置を提供する。

【解決手段】 第 1 導電型の半導体基板 1 にトレンチ 2 を、チャネル幅方向に複数個形成し、このトレンチ 2 の側面および底面を囲むように第 2 導電型ドレインドリフト領域 3 を形成し、トレンチ 2 の内部を絶縁物 4 で充填した、横型高耐圧 MOSFET において

複数個のトレンチの間に第 1 導電型不純物領域を有するものとする。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005234]

1. 変更年月日 1990年 9月 5日

[変更理由] 新規登録

住 所 神奈川県川崎市川崎区田辺新田1番1号

氏 名 富士電機株式会社